



(19)

(11) Publication number:

58184626 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 57067936

(51) Int'l. Cl.: G06F 1/04

(22) Application date: 22.04.82

(30) Priority:

(43) Date of application publication: 28.10.83

(84) Designated contracting states:

(71) Applicant: TOSHIBA CORP

(72) Inventor: KONISHI KUNIYOSHI

(74) Representative:

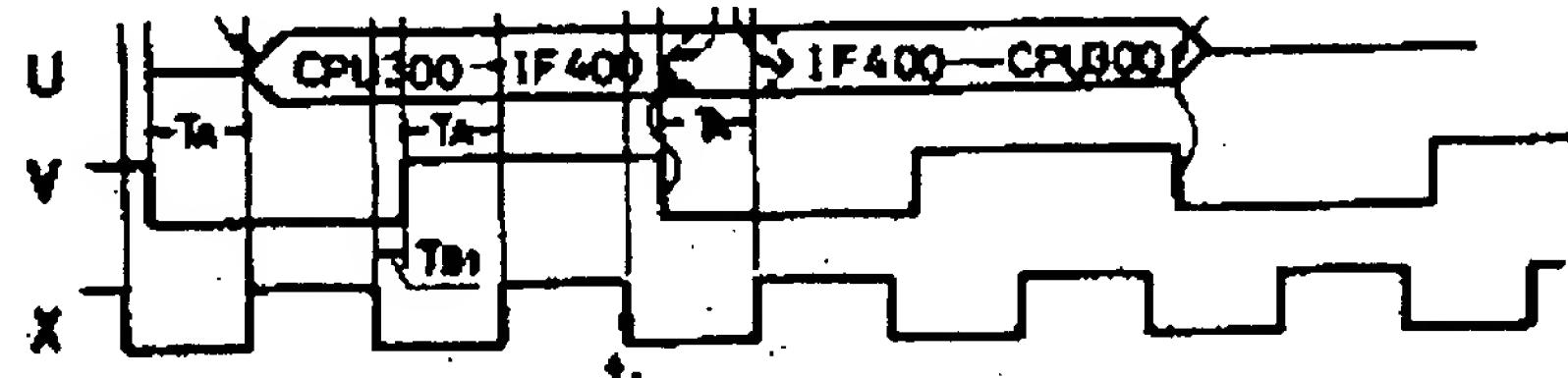
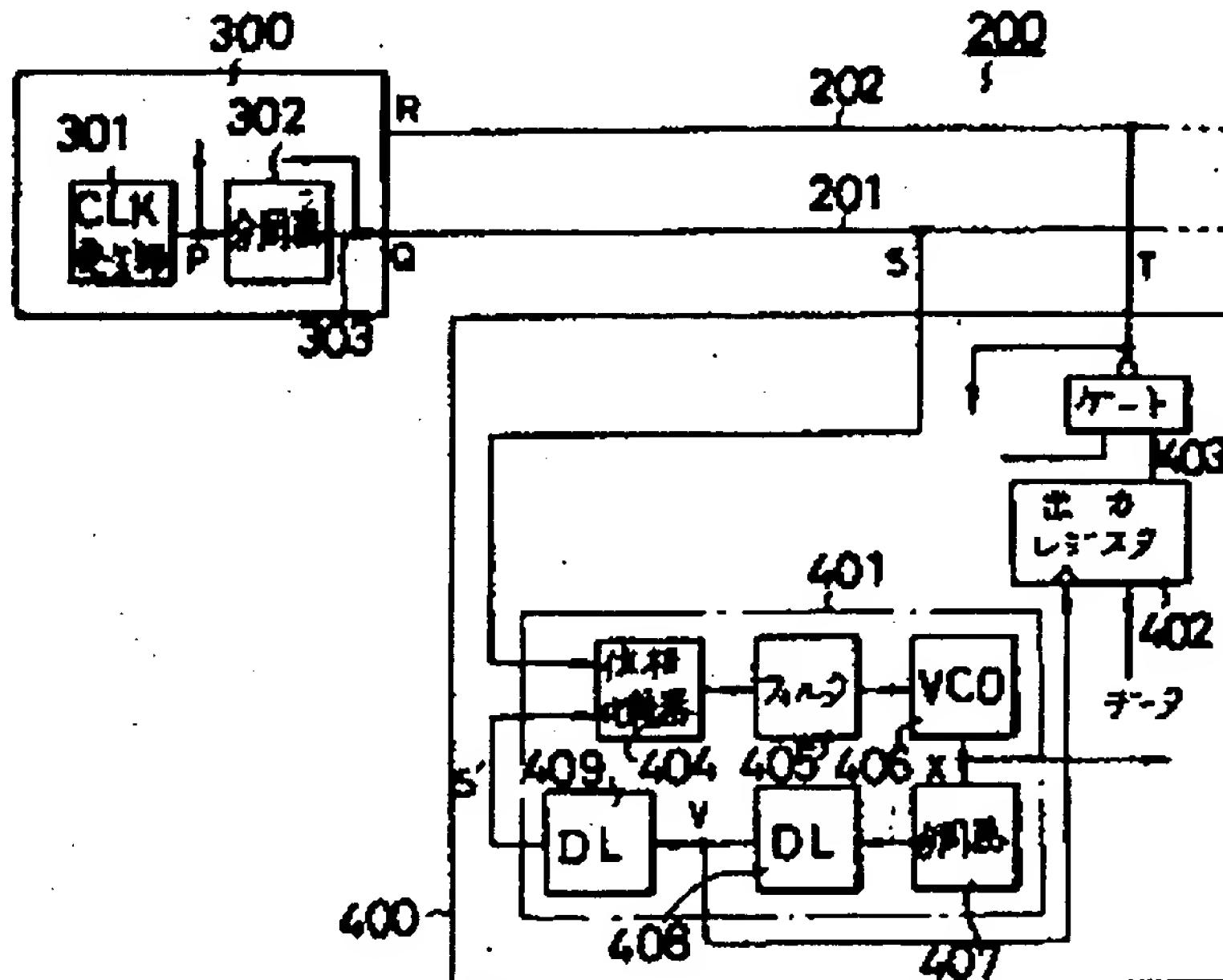
### (54) BUS CLOCK SYNCHRONIZATION SYSTEM

#### (57) Abstract:

PURPOSE: To increase a transfer speed, by generating signals which have a frequency as high as and are in phase with a bus timing and a basic clock signal generated in a CPU in an interface.

CONSTITUTION: The basic clock signal X and bus timing signal V which have the frequency as high as and are in phase with the basic clock signal P and bus timing signal Q generated in the CPU300 are generated in the IF400. Bus data U transferred to the IF400 with delay of time TA as well as the bus timing signal is inputted to an input register at timing t1 where the AND of the signal V and X results in a failure. Then, the IF400 outputs transfer data U to a data line 202 through an output register 402 and a gate 403. The bus data U arrives at the CPU300 as bus data R with delay of signal propagation time TA.

COPYRIGHT: (C)1983,JPO&Japio



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

## ⑪ 公開特許公報 (A)

昭58-184626

⑫ Int. Cl.<sup>3</sup>  
G 06 F 1/04

識別記号

厅内整理番号  
7056-5B

⑬ 公開 昭和58年(1983)10月28日

発明の数 1  
審査請求 未請求

(全 7 頁)

## ⑭ パスクロック同期方式

⑮ 特 願 昭57-67936

⑯ 出 願 昭57(1982)4月22日

⑰ 発明者 古西邦芳

東京都府中市東芝町1番地東京  
芝浦電気株式会社府中工場内⑮ 出願人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地

⑯ 代理人 弁理士 鈴江武彦 外2名

## 明細書

## 1. 発明の名称

パスクロック同期方式

## 2. 特許請求の範囲

(1) クロックラインを含むバスと、このバスにそれぞれ接続され、このバスを介してデータ送受信を行なう中央処理装置並びにインターフェースとを具備し、上記中央処理装置に、第1種基本クロック信号を発生する基本クロック発生部と、この基本クロック発生部で発生される上記第1種基本クロック信号を1/N分周して第1種パステイミング信号を出力する第1分周器と、この第1分周器から出力される上記第1種パステイミング信号を上記バスのクロックラインに導く手段とを設ける一方、上記インターフェースに、上記バスのクロックライン上の信号を入力信号とし、位相比較信号が当該入力信号の周波数および位相と一致するように制御する位相ロックループ回路であって、可変周波数発振器の出力信号を1/N分周する第2分周器と、この第

2分周器の出力信号をそのまま或いは時間T<sub>1</sub>遅延した後、時間T<sub>2</sub>遅延して上記位相比較信号を出力する遅延手段とを有する位相ロックループ回路を設け、上記可変周波数発振器の出力信号を上記インターフェースが使用する第2種基本クロック信号とし、上記第2分周器の出力信号、或いは当該第2分周器の出力信号を時間T<sub>1</sub>遅延した信号を上記インターフェースが使用する第2種パステイミング信号とすることを特徴とするパスクロック同期方式。

(2) 上記第1種パステイミング信号の周期をT<sub>1</sub>、nを0以上の整数とすると、上記時間T<sub>1</sub>はn·T<sub>1</sub>と「第1分周器の遅延時間-第2分周器の遅延時間」との和であることを特徴とする特許請求の範囲第1項記載のパスクロック同期方式。

(3) nを0以上の整数とすると、上記時間T<sub>1</sub>はn·T<sub>1</sub>と「上記バスによる上記中央処理装置、インターフェース間の信号伝播時間」との和であることを特徴とする特許請求の範囲第2項

記載のバスクロック同期方式。

### 3. 発明の詳細な説明

#### [発明の技術分野]

本発明は中央処理装置で発生されるバスタイミング信号に基づいてデータ送受信を行なうインターフェースを備えたシステムに好適するバスクロック同期方式に関する。

#### [発明の技術的背景とその問題点]

一般にこの種のシステムは、第1図に示されるように中央処理装置(以下、CPUと称する)10、および入出力チャネル等のインターフェース(以下、IFと称する)11～14などがバス15に接続されている構成となっている。このようなシステムでは、バス15を介して高速データ転送を行なう場合、各IF11～14などに對して基準となるクロックを分配する方式が採用されていた。この方式では、第2図の(シャーシ内)マザーボードの概略図に示されているように、クロックラインとして印刷配線パターンを用い、同一敷長のケーブル21～

3  
うな方式が適用される場合の例えはIF12の  
接続部構成を示すもので、101はバス15(第  
1図参照)の図示せぬクロックラインを経由し  
てCPU10(第1図参照)から転送されるバ  
スタイミング信号が入力されるゲートである。  
102はゲート101の出力信号に応じて出力  
データをラッピング出力レジスタ、103は出  
力レジスタ102の内容をバス15に出力する  
ゲートである。

第1図のシステムにおいて第3図に示される  
如く構成されたIF13(IF11,12,  
14についても同じ)の動作を第4図のタイミングチャートを参照して簡単に説明する。なお、  
この説明に先立って、CPU10内で生成される  
基本クロック信号をA、同じくCPU10内で生  
成され、CPU10からバス15のクロックライン(図示せず)に送出されるバスタイミング信号をBと定義する。また、バス15における  
CPU10接続位置近傍のバステータをC、バス  
15(内のクロックライン)におけるIF13

24を用い、これらのケーブル21～24を介  
して各IF11～14にそれぞれ独立にクロック  
を供給してタイミングを合わせるようになっ  
ていた。

しかし、この方式では

- (1) ケーブル配線が煩雑である。
- (2) 各IFに対してそれぞれ別々にクロック  
供給を行なうため、クロック供給用のドライバ  
回路がIFの台数分だけ必要となり、コスト高  
となると共に装置の小型化が困難となる。
- (3) 別シャーシ取扱いは別筐体にバスを延長す  
る必要がある場合、ケーブル配線が一層複雑  
となる。

などの欠点があり問題であった。

このため、従来のシステムでは、CPU10からバス15の図示せぬクロックラインを経由し  
てバスタイミング信号を各IF11～14などに共通に供給し、各IF11～14がこのバ  
スタイミング信号を用いてバス15にデータを出  
力する方式が採用されていた。第3図はこのよ

接続位置近傍のバスタイミング信号をD、バス  
15におけるIF13接続位置近傍のバステー  
タをEと定義する。CPU10は第4図に示され  
るよう的基本クロック信号Aに同期したバ  
スタイミング信号Bを発生し、バス15のクロック  
ラインに送出している。このようない状態でCPU  
10がIF13にデータを転送するために、バ  
スタイミング信号Bに同期してバス15上位バ  
ステータCを送出したものとする(第4図参照)。  
このバステータC、実際には上位バスタイミング  
信号Dは、バス15を経由し、第4図に示され  
ているようにバス15におけるCPU10、IF  
13間の距離に応じた時間分遅延してそれぞれ  
バステータE、バスタイミング信号Dとして  
IF13に伝播される。またバスタイミング  
信号DはIF13内のゲート101で遅延される。  
次にIF13が上位バスタイミング信号D(実  
際にはゲート101の出力信号)に基づいてバ  
ステータEを取り込んだ後、次のバスサイクル  
においてCPU10にデータを転送するものとす

る。すなわち、[ア]は第4回に示されるようにバスタイミング信号D(実際にはゲート101の出力信号)に同期したバステータEを出力レジスタ102、ゲート103を介してバス18上に送出する。このバステータEは、CPU10からIF13へのデータ転送の場合と同様に前述した時間分遅延し、バステータDとしてCPU10に入力される。

このように上述した方式では、

(1) データ転送速度がバス(18)の往復の伝送路長と、ゲート(101)などの回路電子の遅延時間に依存するため、データ転送速度の一層の高速化を実現することが困難である。

(2) バスタイミング信号にノイズが乗った場合にデータ送受信動作が不能となる。このため、例えばマザーボードにおいてバスを構成する伝送路パターンの中で、バスタイミング信号用のクロックラインパターンだけは、他の伝送路パターンから離して配置し、ノイズが乗ることを防止しなければならない。

いる。そしてこの位相ロックループ回路において、可変周波数発振器の出力信号をそのまま上記位相比較信号とするのではなく、当該可変周波数発振器の出力信号を第2分周器によって1/N分周し、この分周出力を遅延手段によって時間T<sub>1</sub>遅延し、或いは時間T<sub>2</sub>遅延した後、更に時間T<sub>3</sub>遅延してその遅延出力を上記位相比較信号とするようにしている。そして、本発明では、上記第1および第2分周器による各信号遅延時間や、上記バスによるCPU、IF間の信号伝播時間を考慮してT<sub>1</sub>、T<sub>2</sub>を適切に設定することにより、上記可変周波数発振器の出力信号を上記第1種基本クロック信号と周波数並びに位相が一致した第2種基本クロック信号として用いることができ、かつ上記第2分周器の分周出力または当該分周出力を時間T<sub>1</sub>遅延した信号を上記第1種バスタイミング信号と周波数並びに位相が一致した第2種バスタイミング信号として用いることができるようにしている。

などの欠点があった。

#### [発明の目的]

本発明は上記事情に鑑みてなされたものでその目的は、簡単な構成でありながらバスを経由したデータ転送速度の高速化が図れるバスクロック同期方式を提供することにある。

#### [発明の概要]

本発明では、クロックラインを含むバスにCPU(中央処理装置)およびIF(インターフェース)が接続される構成とし、上記CPUに第1種基本クロック信号を発生する基本クロック発生部と、上記第1種基本クロック信号を1/N分周して第1種のバスタイミング信号を出力する第1分周器と、上記第1種バスタイミング信号を上記バスのクロックラインに導く手段とを設けている。更に本発明では、上記インターフェースに、上記バスのクロックライン上の信号を入力信号とし、回路内で発生される位相比較信号が当該入力信号の周波数および位相と一致するよう位相ロックする位相ロックループ回路を設けて

#### [発明の実施例]

以下、本発明の一実施例を図面を参照して説明する。第5回において、200はバスであり、クロックライン201およびデータライン203を含んでいる。300はバス200に接続されるCPUであり、基本クロック発生部(以下、CLK発生部と称する)301および分周器(第1分周器)302を備えている。CLK発生部301は基本クロック信号P(第1種基本クロック信号)を発生し、分周器302はこの基本クロック信号Pの周波数を1/Nに遅延(1/N分周)してバスタイミング信号Qを出力する機能を有している。このバスタイミング信号Qは信号ライン303を介してクロックライン201に送出される。

400はバス200に接続されるIF(インターフェース)であり、位相ロックループ回路(以下、PLL回路と称する)401、出力レジスタ402、およびゲート403を備えている。PLL回路401において、404はクロックラ

インジオ1からIF400に入力されるバスタイミング信号Sを入力信号とし、この入力信号と位相比較信号Sとの位相差を比較する位相比較器である。なお上記バスタイミング信号SはCPU300からクロックライン201上に送出される前記バスタイミング信号Qがクロックライン201を経由し、時間 $T_A$ 遅れてIF400に伝播する信号である。すなわちバスタイミング信号Qはクロックライン201におけるCPU300接続位置近傍のバスタイミング信号を示し、バスタイミング信号Sは同じくクロックライン201におけるIF400接続位置近傍のバスタイミング信号を示すものである。また、時間 $T_A$ はクロックライン201すなわち<sup>バス</sup>IF400に上るCPU300、IF400間の信号伝播時間(伝播遅延時間)である。404は位相比較器401の出力を積分するゲインルック回路(以下、単にフィルタと称する)、406はフィルタ405の出力に応じた周波数の信号Xを出力する可変周波数発振器、例えば電圧制御発振器

(以下、VCOと称する)である。本実施例ではVCO406から出力される信号Xを基本クロック信号X(第2種基本クロック信号)としてIF400内で使用するようしている。407は上記基本クロック信号Xを1/N分周する分周器、408は分周器407の出力信号を時間 $T_1$ 遅延する遅延手段、例えば遅延線(以下、DLと称する)である。本実施例において、DL408の遅延時間 $T_1$ は分周器402の回路遅延時間 $T_{21}$ 、分周器407の回路遅延時間 $T_{22}$ に一致している。なお、 $T_{21} > T_{22}$ であるものとする。本実施例ではDL408の出力信号をバスタイミング信号V(第2種バスタイミング信号)としてIF400内で使用するようしている。409は上記バスタイミング信号Vを時間 $T_2$ 遅延する遅延手段、例えばDL(遅延線)である。本実施例においてDL409の遅延時間 $T_2$ は前記時間 $T_A$ (CPU300、IF400間の信号伝播時間)に一致している。DL409の出力信号は位相比較信号Sとして

位相比較器401に供給される。

次に本発明の一実施例の動作を第6図のタイミングチャートを参照して説明する。CPU300が稼動状態にある場合、CLK発生部301から常時基本クロック信号Pが発生出力されている(第6図参照)。分周器402はこの基本クロック信号Pを1/N分周し(この例ではN=2)、基本クロック信号Pに同期したバスタイミング信号Qを出力する。このバスタイミング信号Qは信号ライン303を介してバスクロックライン201に常時送出されている。なお、バスタイミング信号Qは第6図に示されるように分周器402の回路遅延時間 $T_{21}$ だけ基本クロック信号Pより遅れている。この場合、信号ライン303による遅延は殆んど無視できる。

クロックライン201に送出されているバスタイミング信号Qは、クロックライン201を経由し、クロックライン201によるCPU300、IF400間の信号伝播時間 $T_A$ だけ遅れ、第6図に示されているようにバスタイミング信号S

としてIF400に入力される。PLL回路401は、DL409の出力信号である位相比較信号Sの周波数並びに位相が、クロックライン201より入力される入力信号としての上記バスタイミング信号Sのそれに一致するよう動作している。第6図には、PLL回路401の動作により、位相比較信号Sの周波数並びに位相がバスタイミング信号Sのそれに一致したいわゆる系のロック状態における信号S, S'が示されている。第5図の構成から明らかかなように上記位相比較信号Sを出力するDL409の入力信号すなわちバスタイミング信号Vは、位相比較信号SよりDL409の遅延時間分すなわち時間 $T_1$ だけ遅んでいる。前述したようにバスタイミング信号Sはバスタイミング信号Qより時間 $T_A$ だけ遅れている(第6図参照)。したがって上述したように系がロック状態にある場合には、上記バスタイミング信号Vはバスタイミング信号Qと周波数並びに位相が一致している(第6図参照)。このとき、分周器407の出力信号

はパステイミング信号Vより $T_{s1}$  -  $T_{s2}$ だけ進んでいる。また分周器407の入力信号であるVCO406の出力信号すなわち基本クロック信号Xは、分周器407の出力信号より(分周407の回路遅延時間) $T_{s2}$ だけ進んでいる。すなわち上記基本クロック信号Xは第6図に示されるようにCPU300内部の前記基本クロック信号Pと周波数並びに位相が一致する。このように本実施例によれば、CPU300内で発生される基本クロック信号Pおよびパステイミング信号Qと、それぞれ周波数並びに位相が一致している基本クロック信号Xおよびパステイミング信号VをIF400内で発生することができる。この結果、たとえCPU300から送られるパステイミング信号Qにノイズが乗ったとしても、IF400でのデータ送受信動作には何ら悪影響を及ぼす恐れはない。したがって、例えばマザーボードにおいて、バス200を構成する伝送路マターンの中でクロックライン201だけを他の伝送路マターンから離して配置する

ことが不要となる。このためマザーボードにおける印刷配線板の実装効率を向上することができる。

このような状態でCPU300がIF400に對してデータを転送するものとする。CPU300がバス200(データライン202)を介してデータ転送を行なう場合、CPU300はパステイミング信号Qに同期してデータをデータライン202に送出する。したがって、この場合、CPU300近傍のデータライン202上のバスデータRは第6図に示される通りとなる。なお、図中CPU300 → IF400はCPU300からIF400への転送データであることを示すものである。上記バスデータRはデータライン202を経由し、パステイミング信号Qと同様に時間 $T_A$ 遅れてIF400に伝播される。この結果、IF400近傍のデータライン202上のバスデータU(データライン202の状態)は第6図に示される通りとなる。上記バスデータUはIF400に入力され、例えば信号V、

Xのアンド条件が不成立となるタイミング(時間 $t_1$ )で図示せぬ入力レジスタに取り込まれる。

次に、CPU300からIF400に対するデータ転送のバスサイクルの次のサイクルにおいて、IF400がCPU300にデータを転送するものとする。このとき、IF400はDL400の出力信号である前記パステイミング信号Vに同期して、転送データを出力レジスタ403、ゲート403を介してバス200のデータライン202上に送出する。この結果、IF400近傍のデータライン202の状態すなわちバスデータUは第6図に示される如く変化する。なお、図中IF400 → CPU300はIF400からCPU300への転送データであることを示すものである。上記バスデータUはデータライン202を経由し、(CPU300からIF400へのデータ転送の場合と同様に)信号伝播時間 $T_A$ 遅れてCPU300に到達する。この結果、CPU300近傍のデータライン202の状態すなわちバスデータRは第6図に示される通りとなる。

以上の説明から明らかのように本実施例によれば、CPU300内部で発生されるパステイミング信号Q(および基本クロック信号P)と周波数並びに位相が一致しているパステイミング信号V(および基本クロック信号X)をIF400内部で発生でき、このパステイミング信号Vに同期してIF400からのデータ転送が行なわれる。このため、IF400からCPU300へのデータ転送の遅延時間は、データライン202におけるIF400、CPU300間の片道の伝送路長の遅延時間だけとなり、CPUから転送されるパステイミング信号をそのまま用いてデータ転送を行なう従来の方式に比べて1/2となる。

なお、前記実施例では分周器302、407の回路遅延時間 $T_{s1}$ 、 $T_{s2}$ が $T_{s1} > T_{s2}$ であるものとして説明したが、 $T_{s1} \leq T_{s2}$ の場合にも本方式は容易に適用できる。例えば $T_{s1} = T_{s2}$ の場合にはDL400は不要となる。このときには、分周器407の出力信号をDL400の入力信号とすると共にパステイミング信号Vと

して使用する。また、 $T_{s1} < T_{s2}$  の場合には、ペースタイミング信号 S, V の周期を T とすると DLI01 の遅延時間  $T_1$  が  $T - (T_{s2} - T_{s1})$  すなわち  $T + (T_{s1} - T_{s2})$  であればよい。更に、上述の説明から容易に類推できるように、 $\alpha$  を 0 以上の整数とすると、DLI01 の遅延時間  $T_1$  は  $\alpha \cdot T + (T_{s1} - T_{s2})$  であればよい。また、 $\alpha$  を 0 以上の整数とすると DLI02 の遅延時間  $T_2$  は  $\alpha \cdot T + T_A$  であればよい。明らかのように前記実施例は、 $\alpha = 0$ 、 $\alpha = 0$  の場合である。また、前記実施例ではバス 200 に接続される I/F が 1 台の場合であったが、複数の場合でも同様に実施できる。この場合、バス 200 に対する各 I/F の接続位置によって  $T_A$  が異なることを考慮して各 I/F 内の DLI02 を選ぶ必要がある。

## 〔発明の効果〕

以上詳述したように本発明のバスクロック同期方式によれば、バスの伝播遅延時間補償用のケーブルが不要となり、またクロック供給用の

ドライバ回路を I/F の台数分設ける必要が無くなり、構成が簡単になる。しかも簡単な構成でありながらバスを経由したデータ転送速度の一層の高速化が図れる。

## 4. 図面の簡単な説明

第 1 図は従来例を示すシステム構成図、第 2 図は従来のマザーボードの概略図、第 3 図は従来のインターフェース (I/F) の裏部プロック図、第 4 図は従来例の動作を説明するためのタイミングチャート、第 5 図は本発明の一実施例を示す裏部プロック図、第 6 図は上記実施例の動作を説明するためのタイミングチャートである。

10, 300 … 中央処理装置 (CPU)、11 ~ 14, 400 … インタフェース (I/F)、15, 200 … バス、102, 402 … 出力レジスター、201 … ネットワーカーライン、203 … データライン、301 … 基本クロック発生部 (CLK 発生部)、302, 407 … 分周器、401 … 位相ロックループ回路 (PLL 回路)、406 … 電圧制御発振器 (VCO、可変周波数発振器)、

408, 409 … 遅延回路 (DL)。

出願人代理人弁理士鈴江武彦

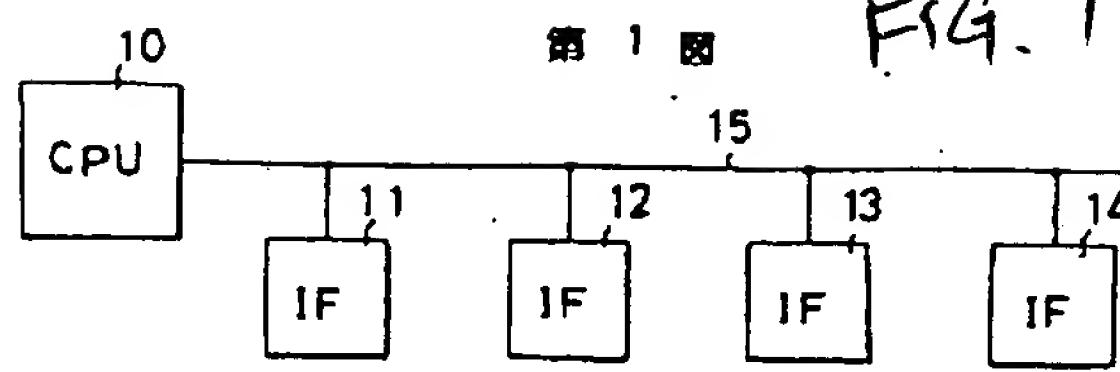
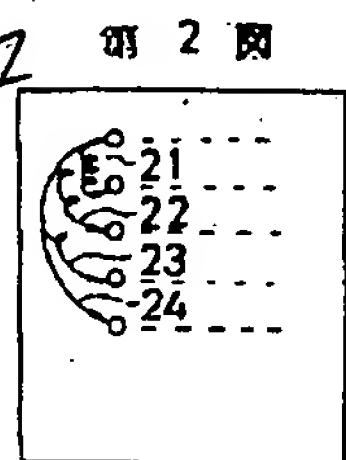


FIG. 2 第2図



第3図

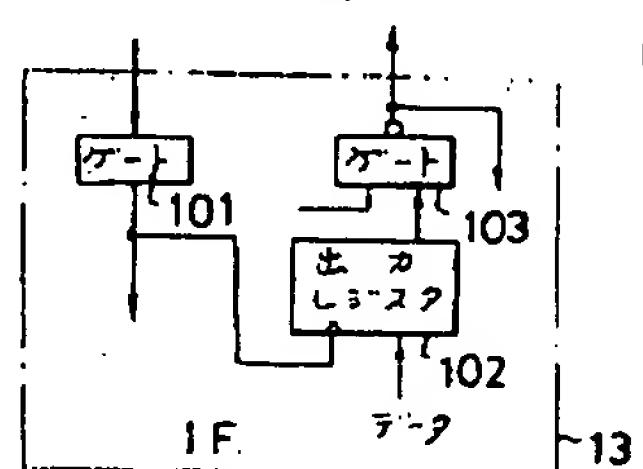


FIG. 3

FIG. 4 第4図

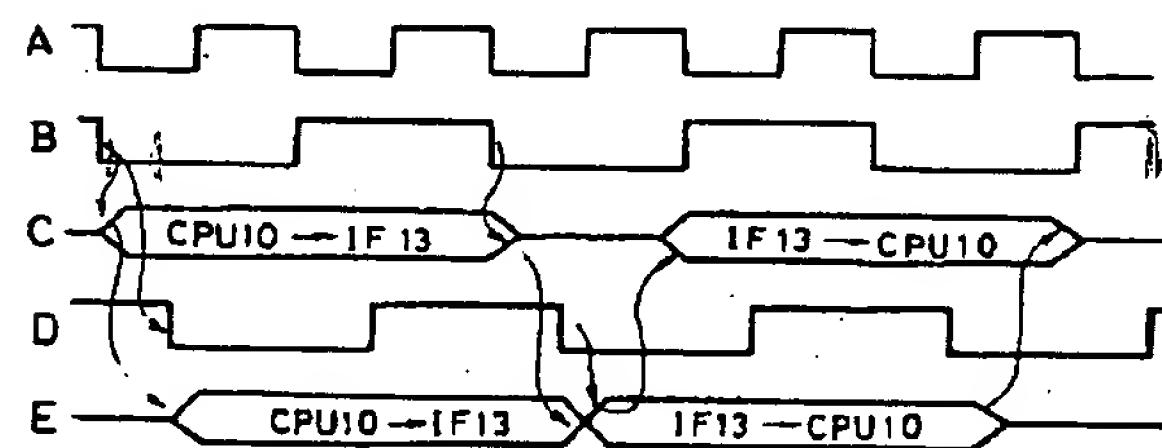


FIG. 5

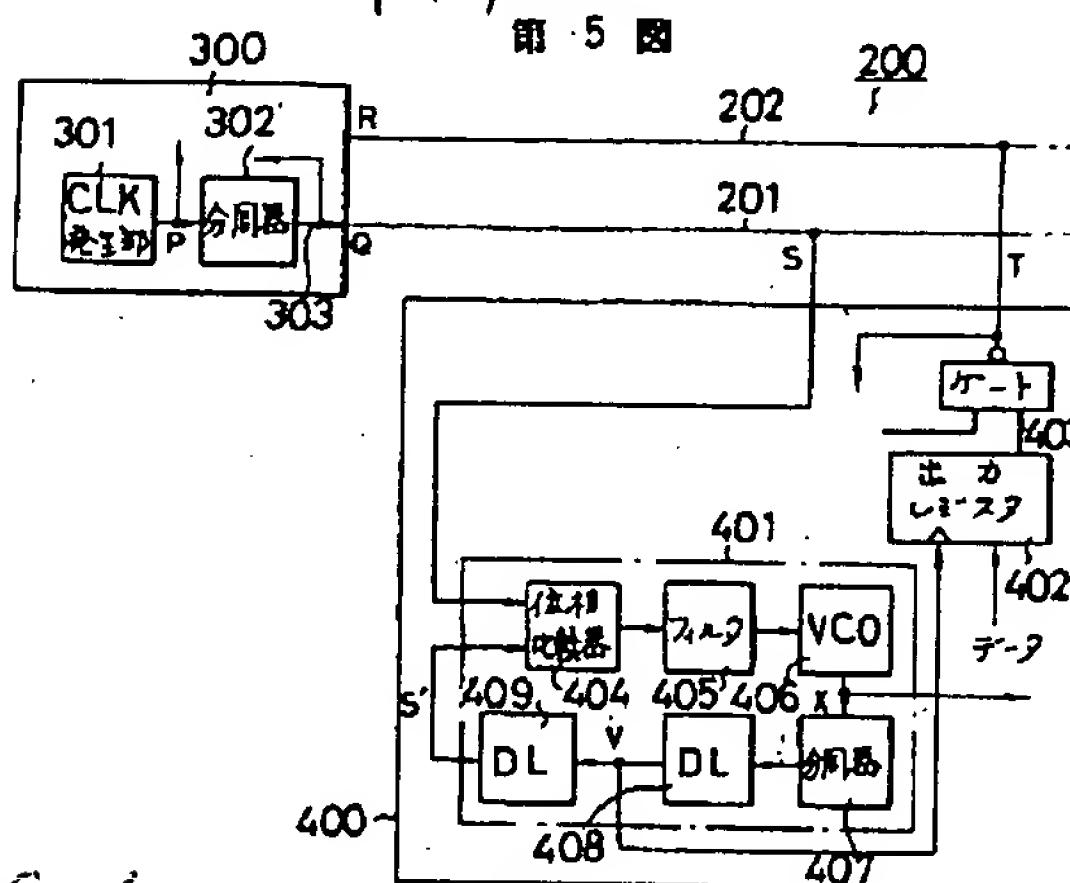


FIG. 6

